

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-223860

(43) 公開日 平成10年(1998) 8月21日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/108
21/8242
27/04
21/822

H 0 1 L 27/10
27/04

6 2 5 A
C

審査請求 有 請求項の数18 F D (全 26 頁)

(21) 出願番号 特願平9-40101

(22) 出願日 平成9年(1997) 2月7日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 佐伯 貴範

東京都港区芝五丁目7番1号 日本電気株式会社内

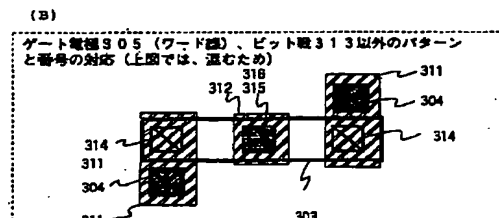
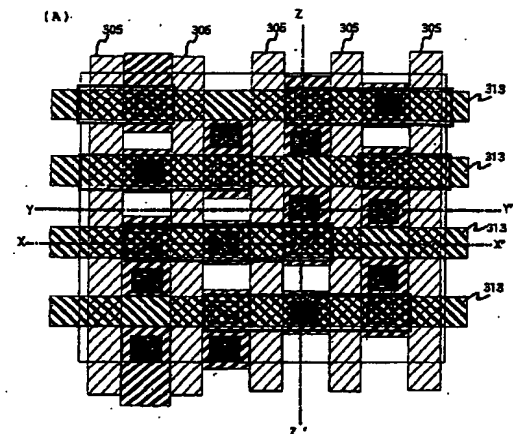
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 メモリセル特有の工程を極力減らしセルサイズの縮小、耐ソフトウェアを実現する半導体装置の提供。

【解決手段】 ゲート酸化膜306と容量絶縁膜310を同じ酸化膜形成工程で形成しゲート電極305と電荷保持電極309を同じ電極形成工程で形成する。容量電極接続局所配線311とビット線接続局所配線312が同じ配線形成工程で形成しワード線方向に隣りあう能動領域303がゲート電極305一本分ずつずれた配置とし通過ワード線間の分離酸化膜302領域が能動領域303の容量形成拡散層307のZ-Z'方向の隣に配置され、通過ワード線間の分離酸化膜302領域にトレンチ304が配置でき能動領域303の長辺方向から90度方向に配置できる。電荷保持電極309のパターンが無くトレンチ304が両側のゲート電極305にゲート電極の最小分離間隔の1/4程度近い位置迄近づけて配置する。



BEST AVAILABLE COPY

1

【特許請求の範囲】

【請求項 1】一つのトランジスタと一つのキャパシタからなるメモリセルを複数有するダイナミックランダムアクセスメモリを備えた半導体装置において、前記トランジスタのゲート酸化膜と前記キャパシタの容量絶縁膜とが、同じ絶縁膜層からなり、前記トランジスタのゲート電極と前記キャパシタの電荷保持電極とが、同じ導電体層を、所望の形状に不要部分を除去してなる電極からなり、前記キャパシタの電荷保持電極の対極が、半導体基板表面の窪み、すなわちトレンチから、なることを特徴とする半導体装置。

【請求項 2】前記ダイナミックランダムアクセスメモリのトランジスタを形成するための半導体基板表面の能動領域を複数有し、前記能動領域を分離するための絶縁膜で被覆された領域を有し、前記トレンチが、前記能動領域を分離するための前記絶縁膜で被覆された領域において、前記能動領域を分離するための絶縁膜を前記能動領域以外の所定部分に開口して形成されている、ことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】前記トレンチの形成位置が、隣り合うゲート電極の間に位置し、前記ゲート電極と同じ導電膜で形成されたキャパシタの電荷保持電極の一部または全体が、前記トレンチに埋設されている、ことを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 4】前記ゲート電極のチャンネル幅方向に隣り合う能動領域が、隣り合うゲート電極一本分ずつずれる配置とされており、前記トレンチが、前記能動領域の長辺方向から 90 度ずれた方向に配置されている、ことを特徴とする請求項 1、2、3 のいずれかに記載の半導体装置。

【請求項 5】前記トレンチに埋設された電荷保持電極と、前記トランジスタが形成されている能動領域の容量接続部分と、を選択成長させた導電体の側方成長で接続したことを特徴とする請求項 3、又は 4 記載の半導体装置。

【請求項 6】前記トレンチに埋設された電荷保持電極と、前記トランジスタが形成されている能動領域の容量接続部分と、を、選択成長させたシリコンからなる導電体の側方成長及び該導電体のサリサイド化による側方成長により、接続したことを特徴とする請求項 3 又は 4 記載の半導体装置。

【請求項 7】前記トランジスタを形成する能動領域が、半導体基板とは、基板分離酸化珪素膜で分離されている、ことを特徴とする請求項 1 ～ 6 のいずれかに記載の半導体装置。

【請求項 8】前記トレンチが、メモリセルアレイ領域以

2

外の領域においても形成され、容量素子として使用される、ことを特徴とする請求項 1 ～ 7 のいずれかに記載の半導体装置。

【請求項 9】一つのトランジスタと一つのキャパシタからなるメモリセルを複数有するダイナミックランダムアクセスメモリを備えた半導体装置において、前記メモリセルのキャパシタを構成するトレンチが、隣り合うゲート電極の間に配置されている、ことを特徴とする半導体装置。

【請求項 10】一つのトランジスタと一つのキャパシタからなるメモリセルを複数有するダイナミックランダムアクセスメモリを備えた半導体装置において、前記メモリセルのトランジスタのゲート電極のチャンネル幅方向に隣り合う能動領域が、隣り合うゲート電極一本分ずつずれる配置とされており、前記メモリセルのキャパシタを構成するトレンチが、前記能動領域の長辺方向から 90 度ずれた方向に配設されている、ことを特徴とする半導体装置。

【請求項 11】前記ゲート電極と同じ導電膜で形成されたキャパシタの電荷保持電極の一部または全体が、前記トレンチに埋設されている、ことを特徴とする請求項 9 又は 10 記載の半導体装置。

【請求項 12】前記メモリセルのトランジスタのゲート酸化膜と前記キャパシタの容量絶縁膜とが、同じ絶縁膜層からなり、前記トランジスタのゲート電極と前記キャパシタの電荷保持電極とが、同じ導電体層を、所望の形状に不要部分を除去してなる電極からなる、ことを特徴とする請求項 9 ないし 11 のいずれかに記載の半導体装置。

【請求項 13】一つのトランジスタと一つのキャパシタからなるメモリセルを複数有するダイナミックランダムアクセスメモリを備えた半導体装置の製造方法において、前記トランジスタのゲート酸化膜と前記キャパシタの容量絶縁膜とを同一の酸化膜形成工程で形成すると共に、前記トランジスタのゲート電極と前記キャパシタの電荷保持電極とを、同じ導電体層を所望の形状に不要部分を除去してなる同一の電極形成工程で形成し、前記キャパシタの電荷保持電極を前記導電側に配し、前記電荷保持電極の対極を半導体基板表面の窪み、すなわちトレンチとした、ことを特徴とする半導体装置の製造方法。

【請求項 14】前記トランジスタの能動領域を分離するための絶縁膜で被覆された領域において、前記絶縁膜を前記能動領域以外の所定部分に開口することにより、前記トレンチを形成する、ことを特徴とする請求項 13 記載の半導体装置の製造方法。

【請求項 15】前記トレンチを、隣り合うゲート電極の間に形成し、前記ゲート電極と同じ導電膜で形成される前記キャパシタの電荷保持電極を、その一部または全体

3

が、前記トレンチに埋設される、ように形成する、ことを特徴とする請求項13又は14記載の半導体装置の製造方法。

【請求項16】前記ゲート電極のチャネル幅方向に隣り合う能動領域を、隣り合うゲート電極一本分ずつずれる配置となるように形成し、

前記トレンチを、前記能動領域の長辺方向から90度ずれた方向に配置して形成する、ことを特徴とする請求項13ないし15のいずれかに記載の半導体装置の製造方法。

【請求項17】前記トレンチに、その一部又は全体が埋設される前記電荷保持電極と、前記トランジスタが形成される能動領域の容量接続部分と、を、選択成長させた導電体を側方成長させて接続する、ことを特徴とする請求項15又は16記載の半導体装置の製造方法。

【請求項18】前記トレンチに、その一部又は全部が埋設された電荷保持電極と、前記トランジスタが形成される能動領域の容量接続部分と、を、選択成長させたシリコンからなる導電体の側方成長、及び前記導電体のサリサイド化による側方成長によって、接続する、ことを特徴とする請求項15又は16記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特に、1つのトランジスタと1つのキャパシタからなるメモリセルを有するダイナミックランダムアクセスメモリのメモリセル構造および製造方法に関する。

【0002】

【従来の技術】ダイナミックランダムアクセスメモリのメモリセルは、1つのトランジスタと1つのキャパシタの構成が開発されて以来、回路構成による単純化、及び省面積化が困難となるに至り、このため、デバイスプロセスによるキャパシタ構造の3次元化、及びコンタクト配線間のセルフアライン化、配線の多層化による省面積化が図られてきた。この間、メモリセルの構造は、例えば図48に示すように、半導体基板501上にMOSTランジスタのゲート電極505とキャパシタの電荷保持電極の対極509を形成する平面キャパシタ構造から、図49に示すように、半導体基板601上にMOSTランジスタのゲート電極605とキャパシタの電荷保持電極の対極603以外に半導体基板601に穴、すなわちトレンチ604を掘り、穴の表面をキャパシタ電荷保持電極、すなわち容量形成拡散層607とするトレンチキャパシタ構造と、あるいは図50に示すように、半導体基板701上にMOSTランジスタのゲート電極702とキャパシタの電荷保持電極の対極709以外に基板にキャパシタの電荷保持電極711、すなわちスタック電極711を形成するスタック構造と、に、大きく分かれた。

4

【0003】なお、図48において、502は素子分離酸化膜、503は能動領域、506はゲート酸化膜、507は容量形成拡散層、508はビット線接続拡散層、510は容量絶縁膜、513はビット線、515は接続孔である。また、図49において、602は素子分離酸化膜、606はゲート酸化膜、608はビット線接続拡散層、609は電荷保持電極の対極、610は容量絶縁膜、613はビット線、615は接続孔である。さらに、図50において、703は能動領域、704はトレンチ、705はゲート電極、706はゲート酸化膜、707は容量形成拡散層、708はビット線接続拡散層、710は容量絶縁膜、713はビット線、714、715は接続孔である。

【0004】そしてトレンチキャパシタ構造は、さらに、図49に示すように、基板をキャパシタの電荷保持電極とする方式と、図51に示すように、基板801をキャパシタの電荷保持電極の対極とする方式に分かれた。なお、図51において、802は素子分離酸化膜、803は能動領域、804はトレンチ、805はゲート電極、806はゲート酸化膜、807は容量形成拡散層、808はビット線接続拡散層、809は電荷保持電極、810は容量絶縁膜、813はビット線、814、815は接続孔である。

【0005】また、スタック構造は、図48に示すように、ワード線すなわち、ゲート電極702の上にスタック電極704を形成するワード線上スタック電極方式から、図50に示すように、ワード線（ゲート電極702）、ビット線705の上にスタック電極704、電荷保持電極の対極703からなるキャパシタを形成するビット線上スタック電極構造に発展した。

【0006】

【発明が解決しようとする課題】最近では、システムの高速化によりマイクロプロセッサやゲートアレイなどのロジックデバイスとメモリデバイス間のデータ転送速度を上げる要求が強くなってきているが、チップ間のデータ転送速度を上げるためには、専用の入出力回路、専用ボードが必要になるほか、入出力回路部分での消費電力の増大、専用ボード、パッケージのためのコスト増大が生じ、ロジックデバイスとメモリデバイスとを1つのチップ上に載せることが必要になってきている。

【0007】このとき、ロジックデバイスの製造工程が、基本的に、CMOSTランジスタの製造工程で十分であるのに比較して、メモリデバイスの製造工程が、基本的にCMOSTランジスタの製造工程に三次元のキャパシタの製造工程が必要である。

【0008】従って、ロジックデバイスの領域に対し、三次元のキャパシタの製造工程が全く余分な工程となるので、1つのチップのコストが、ロジックデバイス単独のチップとダイナミックランダムアクセスメモリデバイス単独のチップより高価なものとなった。

5

【0009】さらに、スタック構造のメモリセルの場合、図48、及び図50に示すように、MOSトランジスタのゲート電極形成後に、スタック電極704、電荷保持電極の対極703からなるキャパシタを形成するため、MOSトランジスタの形成後の熱処理量が増加し、MOSトランジスタの特性劣化の原因となっていた。

【0010】また、トレンチキャパシタ構造においては、ゲート電極形成前にキャパシタ構造を作るので、MOSトランジスタの特性劣化といった問題点は生じにくい、キャパシタ用の電極、容量絶縁膜をロジックデバイスプロセス以外に形成するため、工程数、コストの増大は、回避できなかった。

【0011】これらの問題点を解決するために、キャパシタ用絶縁膜とトランジスタ用絶縁膜を共用し、キャパシタの電極とトランジスタの電極を共用することにより、CMOSトランジスタの製造工程でダイナミックランダムアクセスメモリデバイスを製造する方式が提案された（例えば文献、「ISSCC96 FP16.1」参照）。しかし、1つの方式は、キャパシタが平面構造であるため、メモリセル面積が大きくなりすぎた。もう1つの方式は、同じくキャパシタの電極とトランジスタの電極を共用する方式であるが、トランジスタ用絶縁膜を形成するまえに、キャパシタ形成予定領域の基板にトレンチを掘り、穴の表面をキャパシタの電荷保持電極とするトレンチキャパシタ構造であった（例えば特開平1-231363号公報参照）。

【0012】この方式では、トレンチを採用した分だけ、キャパシタ部分の面積が小さくなったものの、トランジスタの電極とキャパシタの電荷保持電極の対極が同じ配線層でできているため、リソグラフィなどの加工精度の分の分離幅を確保しているため、キャパシタ用絶縁膜とトランジスタ用絶縁膜を共用しないタイプのトレンチキャパシタ構造のメモリセルよりセルサイズが大きくなった。また、穴の表面をキャパシタの電荷保持電極とするため、電極の表面積に比例して半導体基板と電荷保持電極との間の接合面積が増え、これによるチップのデータ保持特性が悪くなるほか、ソフトウェア特性も悪くなった。

【0013】一方、基板をキャパシタの電荷保持電極の対極とする方式のトレンチキャパシタ構造においては、基板表面を電荷保持電極の対極とするため、トランジスタの容量保持電極と接続する拡散領域に直接トレンチを形成すると、容量保持電極と接続する拡散領域と容量対極の基板との分離領域の寄生素子の影響を抑制することが困難であった。

【0014】このほか、ダイナミックランダムアクセスメモリデバイスでは、内部降圧回路、昇圧回路、基板電位発生回路などを通常有しているが、ロジックデバイスにおいても、スタンバイ時のリーク電流の削減のためのトランジスタのしきい値の制御のための内部降圧回路、

6

昇圧回路、基板電位発生回路が必要とされている。

【0015】このような電位発生回路では、補償容量素子が必須であるが、ダイナミックランダムアクセスメモリデバイスでは、ゲート電極を通常利用していたため、チップ内で大きな面積を占めるといった問題点があった。

【0016】したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、メモリセル特有の工程を極力減らすと共に、セルサイズの縮小、及び耐ソフトウェアを実現する半導体装置及び半導体装置の製造方法を提供することにある。

【0017】

【課題を解決するための手段】前記目的を達成するため、本願第1発明の半導体装置は、一つのトランジスタと一つのキャパシタからなるメモリセルを複数有するダイナミックランダムアクセスメモリを備えた半導体装置において、前記トランジスタのゲート酸化膜と、前記キャパシタの容量絶縁膜と、が同じ絶縁膜層からなり、前記トランジスタのゲート電極と、前記キャパシタの電荷保持電極と、が、同じ導電体層を、所望の形状に不要部分を除去してなる電極からなり、前記キャパシタの電荷保持電極の対極が、半導体基板表面の窪みすなわちトレンチから、なることを特徴とする。

【0018】また本願第2発明の半導体装置は、上記本願第1発明の半導体装置において、前記ダイナミックランダムアクセスメモリのトランジスタを形成するための半導体基板表面の能動領域を複数有し、前記能動領域を分離するための絶縁膜で被覆された領域を有し、前記トレンチが、前記能動領域を分離するための前記絶縁膜で被覆された領域において、前記能動領域を分離するための絶縁膜を、前記能動領域以外に開口して形成されている、ことを特徴とする。

【0019】さらに、本願第3発明の半導体装置は、上記本願第1又は第2発明の半導体装置において、前記トレンチの形成位置が、隣り合うゲート電極の間に位置し、ゲート電極と同じ導電膜で形成されたキャパシタの電荷保持電極の一部または全体が、前記トレンチに埋設されている、ことを特徴とする。

【0020】そして、本願第4発明の半導体装置においては、上記本願第1～第3発明の半導体装置のいずれか一において、ゲート電極のチャネル幅方向に隣り合う能動領域が、隣り合うゲート電極一本分ずつずれる配置とされており、前記トレンチが前記能動領域の長辺方向から90度ずれた方向に配置されている、ことを特徴とする。

【0021】また、本願第5発明の半導体装置は、上記本願第3又は第4発明の半導体装置において、前記トレンチに埋設された電荷保持電極と、前記トランジスタが形成されている能動領域の容量接続部分と、を選択成長させた導電体の側方成長で接続したことを特徴とする。

7

【0022】本願第6発明の半導体装置は、上記本願第3又は第4発明の半導体装置において、前記トレンチに埋設された電荷保持電極と、前記トランジスタが形成されている能動領域の容量接続部分と、を、選択成長させたシリコンからなる導電体の側方成長及び該導電体のサリサイド化による側方成長により、接続したことを特徴とする。

【0023】本願第7発明の半導体装置は、上記本願第3又は第4発明の半導体装置において、前記トレンチに埋設された電荷保持電極と、前記トランジスタが形成されている能動領域の容量接続部分と、を、選択成長させたシリコンからなる導電体の側方成長及び該導電体のサリサイド化による側方成長により、接続したことを特徴とする。

【0024】本願第8発明の半導体装置は、上記本願第1乃至第7発明の半導体装置のいずれか一において、前記トランジスタを形成する能動領域が、半導体基板とは、基板分離酸化珪素膜で分離されている、ことを特徴とする。

【0025】本願第9発明の半導体装置は、上記本願第1乃至第8発明の半導体装置のいずれか一において、前記トレンチが、メモリセルアレイ領域以外の領域においても形成され、容量素子として使用される、ことを特徴とする。

【0026】また、本発明の半導体装置の製造方法は、一つのトランジスタと一つのキャパシタからなるメモリセルを複数有するダイナミックランダムアクセスメモリを備えた半導体装置の製造方法において、前記トランジスタのゲート酸化膜と前記キャパシタの容量絶縁膜とを同一の酸化膜形成工程で形成すると共に、前記トランジスタのゲート電極と前記キャパシタの電荷保持電極とを、同じ導電体層を所望の形状に不要部分を除去してなる同一の電極形成工程で形成し、前記キャパシタの電荷保持電極を前記導電側に配し、前記電荷保持電極の対極を半導体基板表面の窪み、すなわちトレンチとした、ことを特徴とする。

【0027】

【発明の実施の形態】本発明の好ましい実施の形態について説明する。本発明の半導体装置は、その好ましい実施の形態において、一つのトランジスタと一つのキャパシタからなるメモリセルを複数有するダイナミックランダムアクセスメモリを備えた半導体装置において、トランジスタのゲート酸化膜（図2の106）とキャパシタの容量絶縁膜（図2の110）が同じ酸化膜形成工程によって形成された絶縁膜層からなり、トランジスタのゲート電極（図2の105）と、キャパシタの電荷保持電極（図2の109）とが、同じ電極形成工程によって形成され、キャパシタの電荷保持電極の対極は、半導体基板表面に設けられたトレンチから、なる。

【0028】そして、本発明は、そのトレンチの形成位

8

置が、隣り合うゲート電極の間に位置し、ゲート電極と同じ導電膜で形成されたキャパシタの電荷保持電極の一部または全体が、前記トレンチに埋設されている（例えば図12参照）。

【0029】また、本発明は、その好ましい実施の形態の形態において、容量電極接続局所配線（例えば図18の311）とビット線接続局所配線（例えば図18の312）が、同じ配線形成工程によって形成し、ワード線方向に隣りあう能動領域（例えば図16、図18の303）が、ゲート電極（ワード線）（図16の305）一本分ずつずれる配置にすることにより、通過ワード線間の分離酸化膜（図16の302）の領域が、能動領域の容量形成拡散層（図18の307）のZ-Z'方向の隣に配置され、この通過ワード線間の分離酸化膜領域に、トレンチ（図17、図18の304）が配置でき、能動領域の長辺方向から90度ずれた方向、すなわち、Z-Z'方向に配置できる（図15参照）。

【0030】また、電荷保持電極のパターンが無く、トレンチ（図17の304）が、両側のゲート電極に対して、それぞれゲート電極の最小分離間隔の1/4程度にまで近い位置まで近づけて配置することで、トレンチの開口工程のみの追加で信頼性が高く、省面積のメモリセルを提供することができる。本発明の実施の形態について更に詳細に説明すべく、以下では、本発明の実施例について図面を参照して詳細に説明する。

【0031】

【実施例1】まず、本発明の半導体記憶装置の第1の実施例について説明する。図1は、本発明の半導体記憶装置の第1の実施例を説明するための平面図である。図2は、本発明の第1の実施例を説明するための断面図であり、図1のX-X'線に沿った断面を示す図である。

【0032】図1及び図2を参照して、101は、半導体基板、102は、分離酸化膜いわゆる選択酸化膜、103は、能動領域すなわち半導体基板101の表面で選択酸化膜102に覆われていない領域である。104は、トレンチであり、このトレンチ104内部の半導体基板101の表面が電荷保持電極の対極になる。105は、ゲート電極であり、ワード線を兼ねる。このゲート電極105と能動領域103の間には、ゲート酸化膜106が存在する。107は、容量形成拡散層、108は、ビット線接続拡散層である。109は、電荷保持電極である。電荷保持電極109とトレンチ104内部の半導体基板101表面との間には、容量絶縁膜110が存在する。111は、容量電極接続局所配線で、112は、ビット線接続局所配線である。113は、ビット線である。

【0033】容量電極接続局所配線111は、容量形成拡散層107と電荷保持電極109とを接続孔114を介して接続する。ビット線接続局所配線112は、ビット線接続拡散層108とビット線113とを接続孔11

9

5、接続孔 1 1 6 を介して接続する。

【0 0 3 4】本実施例では、ゲート酸化膜 1 0 6 と容量絶縁膜 1 1 0 とが、同じ酸化膜形成工程によって形成され、ゲート電極 1 0 5 と電荷保持電極 1 0 9 とが同じ電極形成工程によって形成される、ことを特徴としている。

【0 0 3 5】また、同様に、容量電極接続局所配線 1 1 1 とビット線接続局所配線 1 1 2 とが、同じ配線形成工程によって形成される。

【0 0 3 6】本実施例における工程の共通化について、
その製造方法によって確認する。

【0 0 3 7】図 3 乃至図 1 0 は、本実施例に係る半導体記憶装置の製造工程の工程順に説明するための断面図である。図 3 乃至図 1 0 を参照して、本実施例に係る半導体記憶装置の製造方法について以下に説明する。

【0 0 3 8】まず、図 3 に示すように、半導体基板 1 0 1 上に分離酸化膜 1 0 2、能動領域 1 0 3 を形成したのち、トレンチ 1 0 4 形成用リソグラフィのフォトレジスト 1 2 1 を形成し、次に、図 4 に示すように、異方性エッチングにより、分離酸化膜 1 0 2 の一部と半導体基板 1 0 1 の一部を所望の深さまで除去する。

【0 0 3 9】次にフォトレジスト 1 2 1 を除去し、適当な洗浄工程の後、熱酸化法または、化学的気相成長法により酸化珪素膜 1 2 2 を形成し、次に多結晶シリコン及び金属シリサイドの二層構成からなる導電膜 1 2 3 を形成し、図 5 に示すように、フォトリソグラフィによりゲート電極 1 0 5、電荷保持電極 1 0 9 のパターンを有するフォトレジスト 1 2 4 を形成する。

【0 0 4 0】次に異方性エッチングにより、導電膜 1 2 3 の不要部分を除去し、図 6 に示すように、ゲート電極 1 0 5、電荷保持電極 1 0 9 を形成する。このとき、ゲート電極 1 0 5 の下の酸化珪素膜 1 2 2 が、ゲート酸化膜 1 0 6 となり、電荷保持電極 1 0 9 の下の酸化珪素膜 1 2 2 が、容量絶縁膜 1 1 0 になる。

【0 0 4 1】次にフォトレジスト 1 2 4 を除去し、適当な洗浄工程及び、イオン注入による不純物導入工程により、容量形成拡散層 1 0 7、ビット線接続拡散層 1 0 8 を形成後、層間絶縁膜 1 2 5 を形成し、図 7 に示すように、フォトリソグラフィにより、接続孔 1 1 4、接続孔 1 1 5 のパターンを有するフォトレジスト 1 2 6 を形成する。

【0 0 4 2】次に異方性エッチングにより、層間絶縁膜 1 2 5 の不要部分を除去し、次に主としてアルミニウムからなる導電層 1 2 7 を形成し、図 8 に示すように、フォトリソグラフィにより容量電極接続局所配線 1 1 1、ビット線接続局所配線 1 1 2 のパターンを有するフォトレジスト 1 2 8 を形成する。

【0 0 4 3】次に異方性エッチングにより、導電膜 1 2 7 の不要部分を除去し、容量電極接続局所配線 1 1 1、ビット線接続局所配線 1 1 2 を形成し、さらにフォトレ

10

ジスト 1 2 7 を除去し、適当な洗浄工程の後、層間絶縁膜 1 2 9 を形成し、図 9 に示すように、フォトリソグラフィにより接続孔 1 1 6 のパターンを有するフォトレジスト 1 3 0 を形成する。

【0 0 4 4】次に異方性エッチングにより、層間絶縁膜 1 2 9 の不要部分を除去し、次に主としてアルミニウムからなる導電膜 1 3 1 を形成し、図 1 0 に示すように、フォトリソグラフィによりビット線 1 1 3 のパターンを有するフォトレジスト 1 3 2 を形成する。

【0 0 4 5】次に異方性エッチングにより、層間絶縁膜 1 2 9 の不要部分を除去し、次に主としてアルミニウムからなる導電膜 1 3 1 を形成し、図 1 0 に示すように、フォトリソグラフィによりビット線 1 1 3 のパターンを有するフォトレジスト 1 3 2 を形成する。

【0 0 4 6】次に異方性エッチングにより、導電膜 1 2 6 の不要部分を除去し、ビット線 1 1 3 を形成することで、図 1、及び図 2 に示したメモリセルの構造が完成する。

【0 0 4 7】また、図 1 及び図 2 においては、図面が煩雑になることをさけるため、図 3 から図 1 0 において示した層間絶縁膜に関する参照番号は省略されている。また、図 3 から図 1 0 までの製造工程の説明においても、不純物導入のために必要なことが自明の工程、層間絶縁膜の平坦化の工程、などは、種々の組み合わせがあり、また、公知の手法の中から所望の手法を採用し得る、と共に、本発明は、これらの手法を特に限定するものではないことから、説明を省略している。このほか、各導電膜、絶縁膜の膜厚、配線の寸法に関しても、ダイナミックランダムアクセスメモリ構造で用いられている公知のものを用いて製造可能であることから、特定の数値は、省略している。

【0 0 4 8】以上説明したように、本発明の第 1 の実施例においては、ゲート酸化膜 1 0 6 と容量絶縁膜 1 1 0 が同じ酸化膜形成工程によって形成され、ゲート電極 1 0 5 と電荷保持電極 1 0 9 が同じ電極形成工程によって形成されることにより、トレンチ 1 0 4 の形成工程の追加のみで、通常の一層ゲート配線、二層金属配線の CMOS 論理デバイスと同じ工程数で製造可能としたものである。また、メモリセルの面積も、電荷保持電極 1 0 9 と、電荷保持電極 1 0 9 とゲート電極 1 0 5 との分離領域分だけ大きくなるだけであるため、メモリ専用設計で形成されたメモリセルサイズ（これは、ワード線とビット線のピッチでセルサイズが決定する）の約 2 倍まで縮小できる。

【0 0 4 9】また、本実施例のメモリセルにおいては、電荷保持電極 1 0 9 を半導体基板 1 0 1 ではなく、導電膜側に配している、すなわち基板 1 0 1 をキャパシタの電荷保持電極 1 0 8 の対極とする方式である、ことから、ソフトエラー、の影響を、スタック構造のメモリセルと同様に受け難く、また、電荷保持電極 1 0 9 と半導

11

体基板101との間の接合面積も、スタック構造のメモリセルと同様小さくできるという作用効果も奏するものである。

【0050】また、本実施例においては、2つの接続孔114により、容量形成拡散層107と電荷保持電極109上それぞれ別の接続孔を開孔し、接続したが、次に説明する第2の実施例のように、1つの接続孔114により、容量電極接続局所配線111は、容量形成拡散層107と電荷保持電極109と接続しても良い。

【0051】

【実施例2】次に、本発明の第2の実施例について説明する。図11は、本発明の第2の実施例を説明するための平面図である。図12は、本発明の第2の実施例を説明するための断面図であり、図11のZ-Z'線に沿った断面を示す図である。

【0052】図11及び図12において、201は、半導体基板、202は、分離酸化膜、いわゆる選択酸化膜、203は、能動領域、すなわち半導体基板201の表面で、選択酸化膜202に覆われていない領域である。204は、トレンチであり、このトレンチ204内部の半導体基板201の表面が電荷保持電極の対極になる。205は、ゲート電極であり、ワード線を兼ねる。このゲート電極205と能動領域203の間には、ゲート酸化膜206が存在する。207は、容量形成拡散層、208は、ビット線接続拡散層である。209は、電荷保持電極である。電荷保持電極209とトレンチ204内部の半導体基板201表面との間には、容量絶縁膜210が存在する。211は、容量電極接続局所配線で、212は、ビット線接続局所配線である。213は、ビット線である。

【0053】容量電極接続局所配線211は、容量形成拡散層207と電荷保持電極209とを接続孔214を介して接続する。ビット線接続局所配線212は、ビット線接続拡散層208とビット線213とを接続孔215、接続孔216を介して接続する。

【0054】本実施例では、前記第1の実施例と同様、ゲート酸化膜206と容量絶縁膜210とが同じ酸化膜形成工程によって形成され、ゲート電極205と電荷保持電極209とが同じ電極形成工程によって形成される。

【0055】また、同様に、容量電極接続局所配線211とビット線接続局所配線212とが、同じ配線形成工程によって形成される。

【0056】本実施例の特徴は、電荷保持電極209のパターンが、完全にトレンチ204を被覆しておらず、トレンチ204が、前記第1の実施例と比較して、選択酸化膜202上のゲート電極205と電荷保持電極209の間隔の1/4程度まで、選択酸化膜202上のゲート電極205に近い位置に配置してあり、その分、電荷保持電極209のパターンを、前記第1の実施例の電荷

12

保持電極109と比較して小さく設計でき、メモリセルの面積は、前記第1の実施例と比較し、約15%縮小できる点で、メモリ専用設計形成されたメモリセルサイズと比較し、約1.5倍まで縮小できる。

【0057】本実施例の製法方法は、前記第1の実施例で説明したものとはほとんど等しい。ただし、前述した本実施例の特徴のとおり、電荷保持電極209が小さいことにより、ゲート電極205、と電荷保持電極209の形成工程に、わずかな違いが生じるので、その工程について、図13、及び図14を参照して説明する。図13、及び図14は、前記第1の実施例の図5、及び図6にそれぞれ対応している。

【0058】図13に示すように、トレンチ204が電荷保持電極209、ゲート電極205のパターンを形成するフォトリソットにより完全に被覆されていないため、図14に示すように、トレンチ204の上部の導電膜223が、ゲート電極205と電荷保持電極209を形成する時に、導電膜223の厚さ程度、エッチング除去、すなわちエッチバックされる。これが、前記第1の実施例との相違点である。

【0059】

【実施例3】次に、本発明の第3の実施例について説明する。図15は、本発明の第3の実施例を説明するための平面図である。なお、図15(B)は図15(A)のゲート電極、ビット線以外のパターンと番号との対応を示している。図16は、本発明の第3の実施例の構成を説明するための断面図であり、図15(A)のX-X'線に沿った断面を示す図である。図17は、本発明の第3の実施例の構成を説明するための断面図であり、図15(A)のY-Y'線に沿った断面を示す図である。図18は、本発明の第3の実施例の構成を説明するための断面図であり、図15(A)のZ-Z'線に沿った断面を示す図である。

【0060】図15乃至図18において、301は、半導体基板、302は、分離酸化膜、いわゆる選択酸化膜、303は、能動領域、すなわち、半導体基板301の表面で、選択酸化膜302に覆われていない領域である。304は、トレンチで、このトレンチ304内部の半導体基板301の表面が電荷保持電極の対極になる。305は、ゲート電極でワード線を兼ねる。ゲート電極305と能動領域303の間には、ゲート酸化膜306が存在する。307は、容量形成拡散層、308は、ビット線接続拡散層である。309は、電荷保持電極である。電荷保持電極309とトレンチ304内部の半導体基板301表面との間には、容量絶縁膜310が存在する。311は、容量電極接続局所配線で、312は、ビット線接続局所配線である。313は、ビット線である。

【0061】容量電極接続局所配線311は、容量形成拡散層307と電荷保持電極309とを接続孔314を

13

介して接続する。ビット線接続局所配線312は、ビット線接続拡散層308とビット線313とを接続孔315、接続孔316を介して接続する。

【0062】本実施例では、前記第1及び第2の実施例と同様、ゲート酸化膜306と容量絶縁膜310とが同じ酸化膜形成工程によって形成され、ゲート電極305と電荷保持電極309とが同じ電極形成工程によって形成される。

【0063】また、同様に、容量電極接続局所配線311とビット線接続局所配線312が、同じ配線形成工程によって形成される。

【0064】本実施例の特徴、すなわち前記第1、及び第2の実施例と相違する点について以下に説明する。

【0065】(1)第1の相違点として、前記第1及び第2の実施例では、メモリセルのトランジスタのゲート電極(ワード線)のチャネル幅方向に隣りあう能動領域103、203が、隣り合うゲート電極(ワード線)105、205二本分ずつずれる配置に対して、本実施例では、ワード線方向に隣り合う能動領域303が、ゲート電極(ワード線)305一本分ずつずれる配置とされている、ことである。

【0066】(2)第2の相違点として、前記第1及び第2の実施例では、トレンチ104、204が、能動領域103、203の長辺方向、すなわち、図1、及び図11のX-X'方向に配置されているのに対し、本実施例では、トレンチ304が、能動領域303の長辺方向から90度ずれた方向、すなわち、図15のZ-Z'方向に配置されている、ことである。

【0067】この配置は、本実施例の第1の特徴(上記(1)参照)である、能動領域303の配置方式により可能になっている。すなわち、ワード線方向に隣りあう能動領域303が、ゲート電極(ワード線)305一本分ずつずれる配置にすることにより、通過ワード線間の分離酸化膜302領域が、能動領域303の容量形成拡散層307のZ-Z'方向の隣に配置される。従って、この通過ワード線間の分離酸化膜302領域にトレンチ304が配置でき、能動領域303の長辺方向から90度ずれた方向、すなわち、図15のZ-Z'方向に配置できる。

【0068】(3)第3の相違点は、電荷保持電極309のパターンが無く、ゲート電極305が、図17に示したように、トレンチ304が両側のゲート電極305にそれぞれゲート電極305の最小分離間隔の1/4程度まで近い位置に配置してあり、その分、ゲート電極の間隔を、前記第1、第2の実施例と比較して、小さく設計することができる。本実施例において、メモリセルの面積は、前記第1の実施例と比較して、約35%縮小でき、また前記第2の実施例と比較して、約25%縮小でき、更に、メモリ専用設計形成されたメモリセルサイズと比較して、約1.1倍まで縮小できる。

14

【0069】本実施例の製造方法は、前記第1、又は前記第2の実施例で説明したものとはほとんど等しい。ただし、本実施例の特徴である、電荷保持電極303のリソグラフィパターンがないことにより、ゲート電極305、と電荷保持電極309、容量電極接続局所配線311、ビット線接続局所配線312の形成工程に、わずかな違いを生じるので、その工程について、図19から図36を参照して以下に説明する。この工程は、前記第1の実施例では、図5、図6に対応し、前記第2の実施例では、図13、図14に対応している。

【0070】図19、図22、図25、図29、図33は、図15のX-X'線に沿った工程断面図であり、図20、図23、図26、図30、図34は、図15のY-Y'線に沿った工程断面図であり、図21、図24、図27、図31、図35は、図15のZ-Z'線に沿った工程断面図である。

【0071】また図28、図32、図36は、本発明の第3の実施例のメモリセルアレイ以外の周辺論理回路領域とメモリセルアレイ領域の境界領域の工程断面図である。

【0072】図19、図20、図21に示すように、半導体基板301上に分離酸化膜302、能動領域303を形成したのち、トレンチ304を形成し、適当な洗浄工程の後、熱酸化法または、化学的気相成長法により酸化珪素膜321を形成し、次に多結晶シリコン及び金属シリサイドの二層構成からなる導電膜322を形成し、熱酸化法または、化学的気相成長法により、磷及び硼素を含む酸化珪素膜323を形成し、さらにフォトリソグラフィによりゲート電極305のパターンを有するフォトレジスト324を形成する。

【0073】次に異方性エッチングにより、磷及び硼素を含む酸化珪素膜323、導電膜322の不要部分を除去し、図22、図23、図24に示すように、ゲート電極305、電荷保持電極309を形成する。このとき、ゲート電極305の下の酸化珪素膜322が、ゲート酸化膜306となり、電荷保持電極309の下の酸化珪素膜322が、容量絶縁膜310になる。

【0074】本実施例では、電荷保持電極309のパターンがないため、トレンチ304が、フォトレジストにより被覆されていず、図23、図24に示すようにゲート電極305のフォトレジストパターンで導電膜322、磷及び硼素を含む酸化珪素膜323の不要部分を除去する際に、トレンチ304の上部の導電膜322、磷及び硼素を含む酸化珪素膜323が、成膜時の厚さ程度エッチング除去、すなわちエッチバックされ、トレンチ304内には残り、電荷保持電極309となる。

【0075】次にフォトレジスト324を除去し、適当な洗浄工程及び、イオン注入による不純物導入工程により、容量形成拡散層307、ビット線接続拡散層308を形成の後、層間絶縁膜325を形成し、図25、図2

15

6、図27、図28に示すように、フォトリソグラフィにより接続孔314、接続孔315のパターンを有するフォトレジスト326を形成する。ここで、図28は、メモリセルアレイ以外の周辺論理回路領域327とメモリセルアレイ領域328の境界領域の断面図である。接続孔314、接続孔315、セルアラインコンタクトなので、フォトレジスト326は、メモリセルアレイ領域全域327で開口するパターンになっている。

【0076】次に異方性エッチングにより、層間絶縁膜325の不要部分を除去し、次に主として多結晶シリコンからなる導電層329を形成し、図29、図30、図31、図32に示すように、フォトリソグラフィにより容量電極接続局所配線311、ビット線接続局所配線312のパターンを有するフォトレジスト330を形成する。

【0077】次に導電層326の不要部分を除去し、容量電極接続局所配線311、ビット線接続局所配線312を形成後、異方性エッチングにより周辺論理回路領域327の層間絶縁膜325の不要部分を除去し、さらに図33、図34、図35、図36に示すように、ゲート電極305上の磷及び硼素を含む酸化珪素膜323を気相フッ化水素により選択除去し、容量電極接続局所配線311、ビット線接続局所配線312、容量形成拡散層307、ビット線接続拡散層308をサリサイド化しチタンシリサイド層331を形成する。

【0078】この後、前記第1の実施例と同様の方法で、接続孔316、ビット線313を形成しメモリセル構造を形成し、図16、図17、図18に示した断面形状を得る。

【0079】

【実施例4】次に、本発明の第4の実施例について説明する。本実施例において、メモリセルの平面レイアウト、基板構造は、前記第3の実施例と等しい。

【0080】前記第3の実施例では、容量電極接続局所配線311、ビット線接続局所配線312を多結晶シリコンの導電層で形成したが、本実施例においては、前記第3の実施例の図29、図30、図31、図32に相当する工程において、図37、図38、図39、図40に示すように、選択エピタキシャル成長または、選択成長のシリコンにより形成し、選択成長の側方成長により、容量形成拡散層307と電荷保持電極309を接続した容量電極接続局所配線311を形成するものである。

【0081】本実施例では、前記第3の実施例と同じ構造を及び作用効果を有する半導体記憶装置を、フォトリソグラフィを1回少なくして実現しうる。

【0082】

【実施例5】次に、本発明の第5の実施例について説明する。本実施例は、メモリセルの平面レイアウト、基本構造は、前記第2の実施例、前記第4の実施例と等しい。

16

【0083】本実施例では、磷及び硼素を含む酸化珪素膜323の成長は、行わず、また、接続孔314、接続孔315のパターンを有するフォトレジスト326の形成も行わない。従って、本実施例では、前記第3の実施例における図29、図30、図31、図32と、図33、図34、図35、図36に相当する工程において、図41、図42、図43、図44に示すように、酸化珪素膜325をエッチバックした後に、半導体全面に選択エピタキシャル成長、または、選択成長のシリコンにより形成し、さらにサリサイド化しチタンシリサイド層を形成し、選択成長及びのサリサイド化の側方成長により、容量形成拡散層307と電荷保持電極309を接続した容量電極接続局所配線311を形成するものである。

【0084】本実施例では、前記第3の実施例と同じ構造及び作用効果を有する半導体記憶装置を、フォトリソグラフィを2回少なくして実現しうる。

【0085】

【実施例6】次に、本発明の第6の実施例について説明する。本実施例は、SOI (silicon on insulator) 構造の半導体基板上に、前記第3の実施例と等しいメモリセル構造、レイアウトを行ったものである。

【0086】図43、図44、図45において、400は、半導体基板、401は、基板分離酸化珪素膜、402は、分離酸化膜、いわゆる選択酸化膜であるが、本実施例では、次に説明するように、基板分離酸化珪素膜401とつながっている。403は、能動領域、すなわち、半導体基板401の表面で、分離酸化膜402に覆われていない領域であり、本実施例では、上の珪素結晶膜が、分離酸化膜402形成時に珪素結晶膜が分離酸化膜402の領域で珪素結晶膜の厚さ分、すべて酸化されることによって切り離された珪素結晶層でもある。404は、トレンチで、このトレンチ404内部の半導体基板401の表面が電荷保持電極の対極になる。405は、ゲート電極でワード線を兼ねる。ゲート電極405と能動領域403の間には、ゲート酸化膜406が存在する。407は、容量形成拡散層、408は、ビット線接続拡散層である。409は、電荷保持電極である。電荷保持電極409とトレンチ404内部の半導体基板401表面との間には、容量絶縁膜410が存在する。411は、容量電極接続局所配線で、412は、ビット線接続局所配線である。413は、ビット線である。

【0087】容量電極接続局所配線411は、容量形成拡散層407と電荷保持電極409とを接続孔414を介して接続する。ビット線接続局所配線412は、ビット線接続拡散層408とビット線413とを接続孔415、接続孔416を介して接続する。

【0088】本実施例では、半導体基板が珪素基板上に珪素酸化膜、珪素結晶になったSOI基板構造になっているが、トレンチ404を分離酸化膜402とつなが

17

ている基板分離酸化珪素膜 401 の領域に開口するので、これまで説明してきた第 1 から第 5 の実施例と全く同じ製造方法で形状形成可能である。

【0089】

【発明の効果】以上説明したように本発明によれば、ソフトエーラーに強い、半導体基板表面を電荷保持電極の対極とするメモリセル構造が、ゲート酸化膜と容量絶縁膜が同じ酸化膜形成工程によって形成され、ゲート電極と電荷保持電極が同じ電極形成工程によって形成されることにより、トレンチの形成工程の追加のみで、通常の一層ゲート配線、二層金属配線の CMOS 論理デバイスと同じ工程数で製造可能であるという効果を奏する。

【0090】また、本発明によれば、メモリセルのトランジスタのゲート電極（ワード線）のチャネル幅方向に隣りあう能動領域が、隣り合うゲート電極（ワード線）2 本分ずつずれる配置に対して、ワード線方向に隣りあう能動領域が、ゲート電極（ワード線）一本分ずつずれる位置に配置され、トレンチが、能動領域の長辺から 90 度ずれた方向に配置され、すなわち、ワード線方向に隣りあう能動領域が、ゲート電極（ワード線）一本分ずつずれる配置にすることにより、通過ワード線間の分離酸化膜領域が、能動領域の容量形成拡散層の隣に配置され、この通過ワード線間の分離酸化膜領域にトレンチが配置でき、能動領域の長辺方向から 90 度ずれた方向に配置でき、さらに、電荷保持電極のリソグラフィパターンを無くし、トレンチが両側のゲート電極にそれぞれゲート電極の最小分離間隔の 1/4 程度まで近い位置に配置することで、容量電極のサイズの保持とゲート電極の間隔の縮小の両立が可能になり、メモリセルの面積は、メモリ専用設計形成されたメモリセルサイズと比較し、約 1.1 倍まで縮小できる。

【0091】さらに本発明では、トレンチキャパシタが、ゲート酸化膜と同じ絶縁膜厚、電極で形成されるので、従来、平面容量で形成していた補償容量と置き換えることにより面積の縮小が可能になる。

【0092】また、本発明によれば、トレンチを分離酸化膜を貫いて形成するので、トランジスタの容量保持電極と接続する拡散領域に直接トレンチを形成することで生じる容量保持電極と接続する拡散領域と容量対極の基板との分離領域の寄生素子の影響を抑制することを可能としている。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例の平面図である。

【図 2】図 1 の X-X' 線に沿った断面図である。

【図 3】本発明の第 1 の実施例の工程断面図（図 1 の X-X' 線に沿った断面に対応）である。

【図 4】本発明の第 1 の実施例の工程断面図である。

【図 5】本発明の第 1 の実施例の工程断面図である。

【図 6】本発明の第 1 の実施例の工程断面図である。

【図 7】本発明の第 1 の実施例の工程断面図である。

18

【図 8】本発明の第 1 の実施例の工程断面図である。

【図 9】本発明の第 1 の実施例の工程断面図である。

【図 10】本発明の第 1 の実施例の工程断面図である。

【図 11】本発明の第 2 の実施例の平面図である。

【図 12】図 11 の Z-Z' 線に沿った断面図である。

【図 13】本発明の第 2 の実施例の工程断面図である。

【図 14】本発明の第 2 の実施例の工程断面図である。

【図 15】本発明の第 3 の実施例の平面図である。

【図 16】図 15 の X-X' 線に沿った断面図である。

【図 17】図 15 の Y-Y' 線に沿った断面図である。

【図 18】図 15 の Z-Z' 線に沿った断面図である。

【図 19】本発明の第 3 の実施例の工程断面図（図 15 の X-X' 線に沿った断面に対応）である。

【図 20】本発明の第 3 の実施例の工程断面図（図 15 の Y-Y' 線に沿った断面に対応）である。

【図 21】本発明の第 3 の実施例の工程断面図（図 15 の Z-Z' 線に沿った断面に対応）である。

【図 22】本発明の第 3 の実施例の工程断面図（図 15 の X-X' 線に沿った断面に対応）である。

【図 23】本発明の第 3 の実施例の工程断面図（図 15 の Y-Y' 線に沿った断面に対応）である。

【図 24】本発明の第 3 の実施例の工程断面図（図 15 の Z-Z' 線に沿った断面に対応）である。

【図 25】本発明の第 3 の実施例の工程断面図（図 15 の X-X' 線に沿った断面に対応）である。

【図 26】本発明の第 3 の実施例の工程断面図（図 15 の Y-Y' 線に沿った断面に対応）である。

【図 27】本発明の第 3 の実施例の工程断面図（図 15 の Z-Z' 線に沿った断面に対応）である。

【図 28】本発明の第 3 の実施例のメモリセルアレイ以外の周辺論理回路領域とメモリセルアレイ領域の境界領域の工程断面図である。

【図 29】本発明の第 3 の実施例の工程断面図（図 15 の X-X' 線に沿った断面に対応）である。

【図 30】本発明の第 3 の実施例の工程断面図（図 15 の Y-Y' 線に沿った断面に対応）である。

【図 31】本発明の第 3 の実施例の工程断面図（図 15 の Z-Z' 線に沿った断面に対応）である。

【図 32】本発明の第 3 の実施例のメモリセルアレイ以外の周辺論理回路領域とメモリセルアレイ領域の境界領域の工程断面図である。

【図 33】本発明の第 3 の実施例の工程断面図（図 15 の X-X' 線に沿った断面に対応）である。

【図 34】本発明の第 3 の実施例の工程断面図（図 15 の Y-Y' 線に沿った断面に対応）である。

【図 35】本発明の第 3 の実施例の工程断面図（図 15 の Y-Y' 線に沿った断面に対応）である。

【図 36】本発明の第 3 の実施例のメモリセルアレイ以外の周辺論理回路領域とメモリセルアレイ領域の境界領域の工程断面図である。

19

【図37】本発明の第4の実施例の工程断面図（図15のX-X'線に沿った断面に対応）である。

【図38】本発明の第4の実施例の工程断面図（図15のY-Y'線に沿った断面に対応）である。

【図39】本発明の第4の実施例の工程断面図（図15のZ-Z'線に沿った断面に対応）である。

【図40】本発明の第4の実施例のメモリセルアレイ以外の周辺論理回路領域とメモリセルアレイ領域の境界領域の断面図である。

【図41】本発明の第5の実施例の断面図（図15のX-X'線に沿った断面に対応）である。

【図42】本発明の第5の実施例の断面図（図15のY-Y'線に沿った断面に対応）である。

【図43】本発明の第5の実施例の断面図（図15のZ-Z'線に沿った断面に対応）である。

【図44】本発明の第5の実施例のメモリセルアレイ以外の周辺論理回路領域とメモリセルアレイ領域の境界領域の断面図である。

【図45】本発明の第6の実施例の断面図（図15のX-X'線に沿った断面に対応）である。

【図46】本発明の第6の実施例の断面図（図15のY-Y'線に沿った断面に対応）である。

【図47】本発明の第6の実施例の断面図（図15のZ-Z'線に沿った断面に対応）である。

【図48】平面キャパシタ構造を有する従来の技術のメモリセルの断面図である。

【図49】トレンチの表面をキャパシタ電荷保持電極とするトレンチキャパシタ構造を有する従来の技術のメモリセルの断面図である。

【図50】スタック構造のキャパシタを有する従来の技術のメモリセルの断面図である。

【図51】トレンチの表面をキャパシタ電荷保持電極の対極とするトレンチキャパシタ構造を有する従来の技術のメモリセルの断面図である。

【図52】スタック構造のキャパシタビット線の上に有する従来の技術のメモリセルの断面図である。

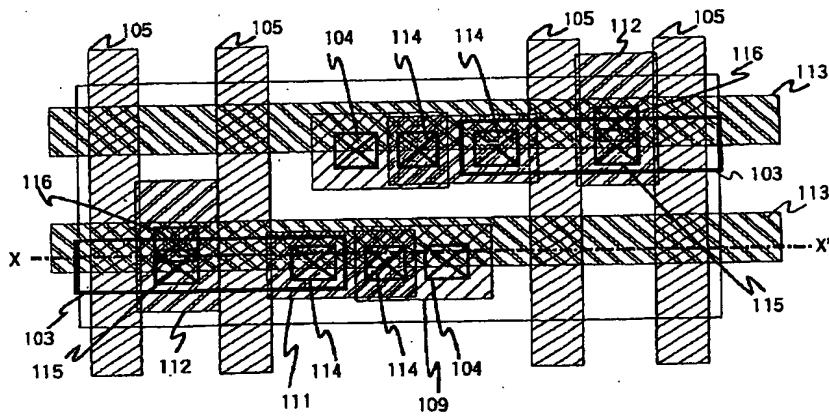
【符号の説明】

101、201、301、400、501、601、701、801、901 半導体基板
102、202、302、402、502、602、702、802、902 分離酸化膜または、選択酸化膜
103、203、303、403、503、603、703、803、903 能動領域

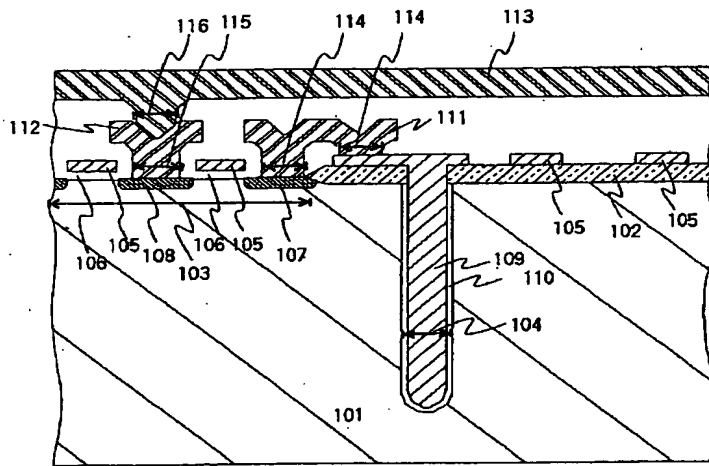
20

104、204、304、404、604、704、804 トレンチ
105、205、305、405、505、605、705、805、905 ゲート電極または、ワード線
106、206、306、406、506、606、706、806、906 ゲート酸化膜
107、207、307、407、507、607、707、807、907 容量形成拡散層
108、208、308、408、508、608、708、808、908 ビット線接続拡散層
109、209、309、409、711、809、911 電荷保持電極
110、210、310、410、510、610、710、810、910 容量絶縁膜
111、211、311、411 容量電極接続局所配線
112、212、312、412 ビット線接続局所配線
113、213、313、413、513、613、713、813、913 ビット線
114、214、314、414、714、814 接続孔
115、215、315、415、515、615、715、815、915 接続孔
116、216、316、416 接続孔
121 フォトリジスト
122、222、321 酸化珪素膜
123、223、322 導電膜
124、224、324 フォトリジスト
125、325 層間絶縁膜
126、326 フォトリジスト
127、329 導電膜
128、330 フォトリジスト
129 層間絶縁膜
130 フォトリジスト
131 導電膜
132 フォトリジスト
323 磷及び硼素を含む酸化珪素膜
327 周辺論理回路領域
328 メモリセルアレイ領域
331 チタンシリサイド層
401 基板分離酸化膜
509、609、709、909 電荷保持電極の対極

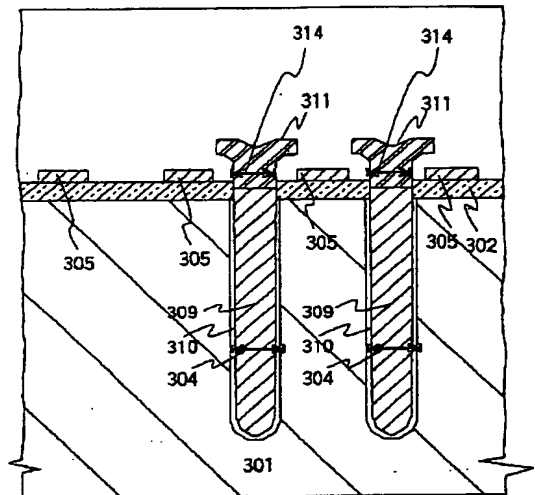
【図1】



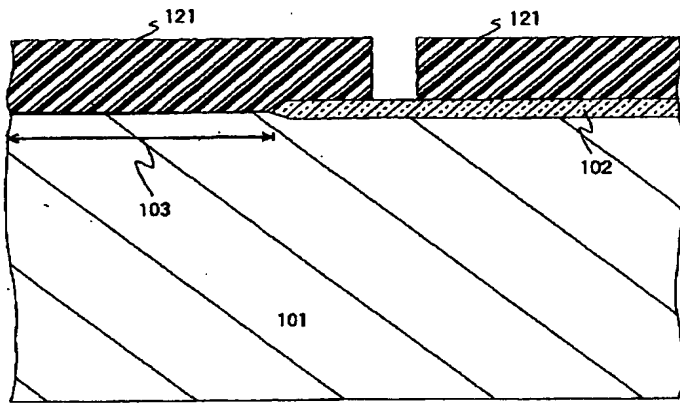
【図2】



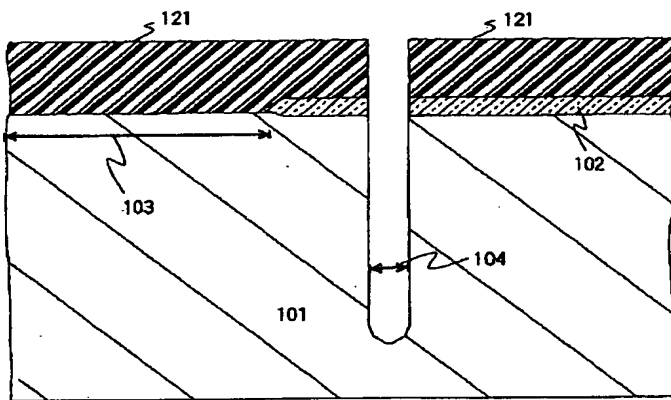
【図17】



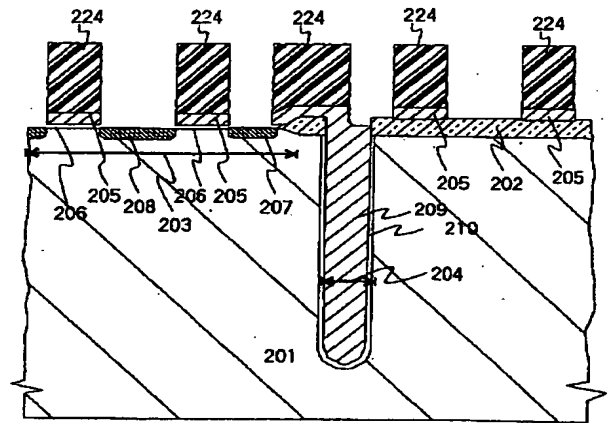
【図 3】



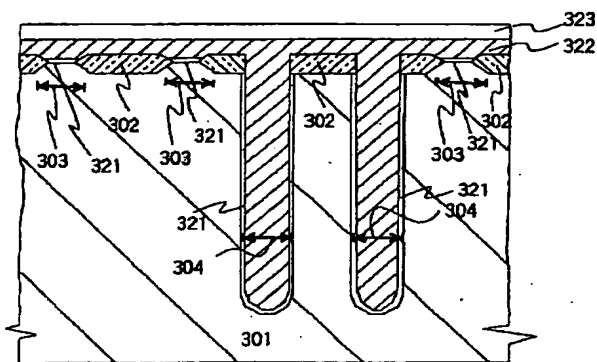
【図 4】



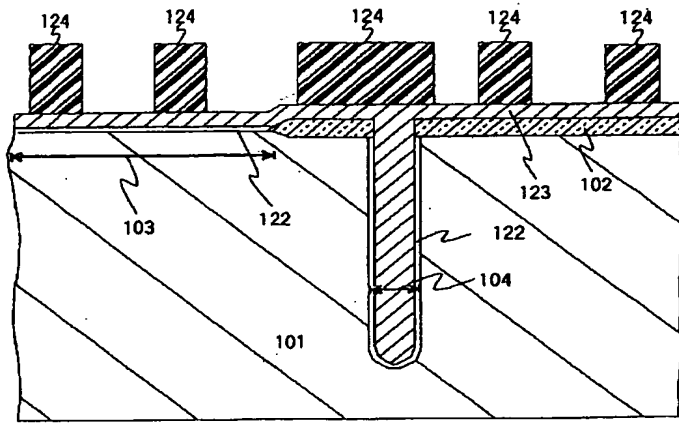
【図 1 4】



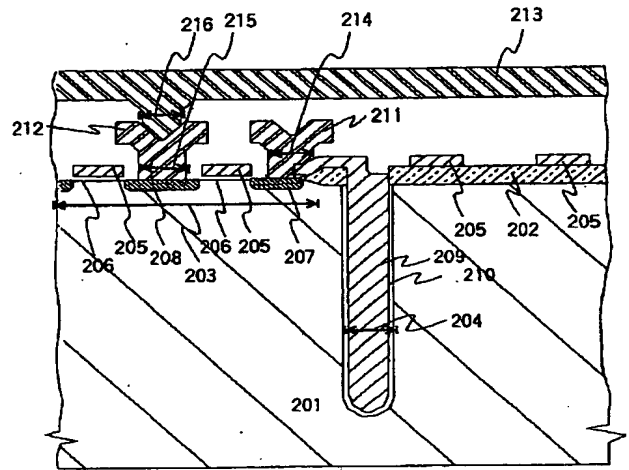
【図 2 1】



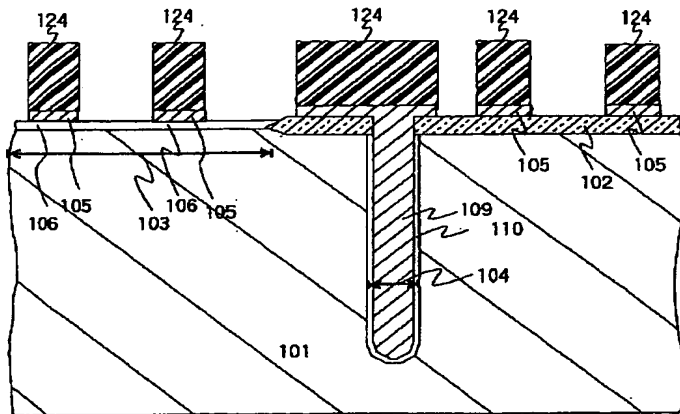
【図 5】



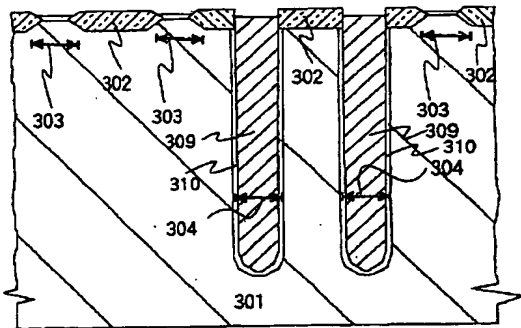
【図 1 2】



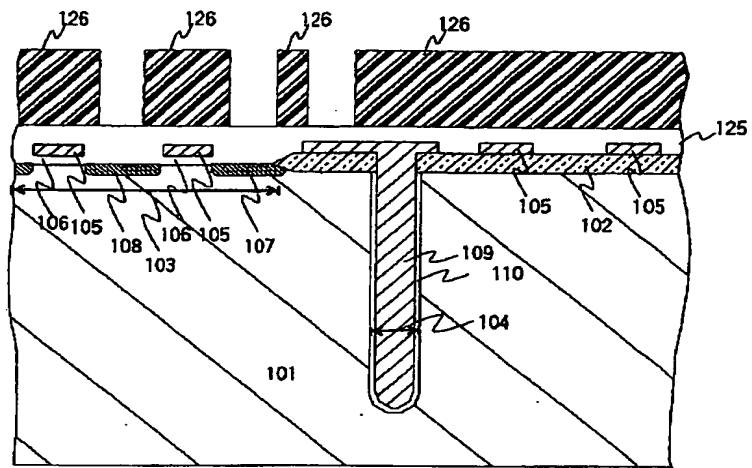
【図 6】



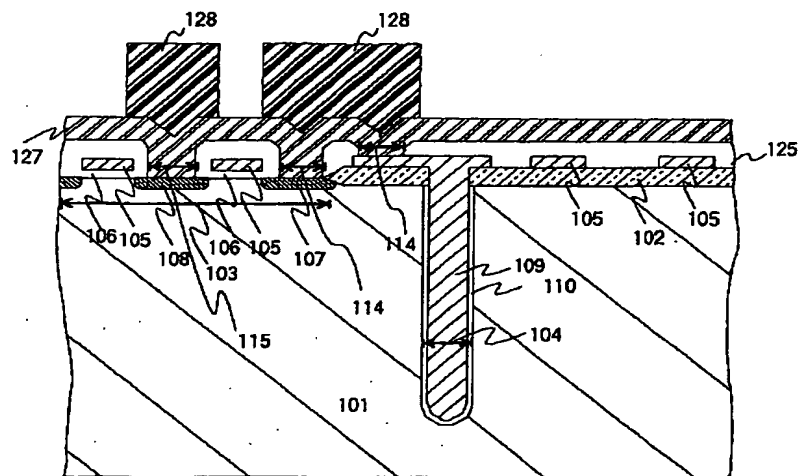
【図 2 4】



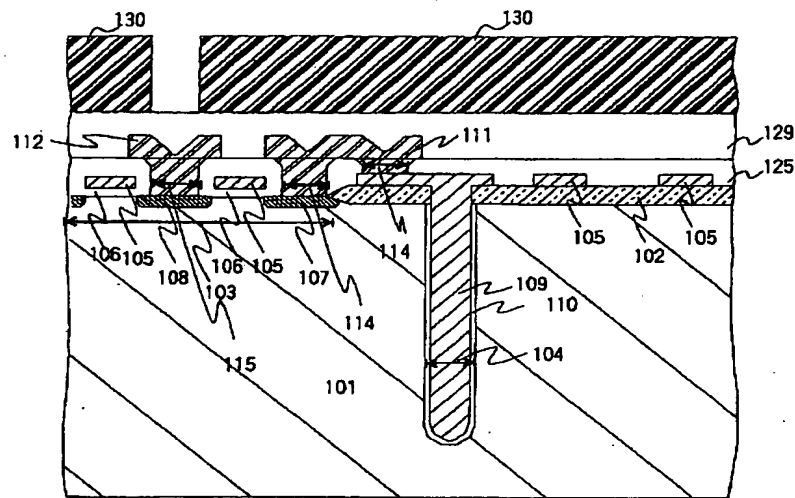
【図 7】



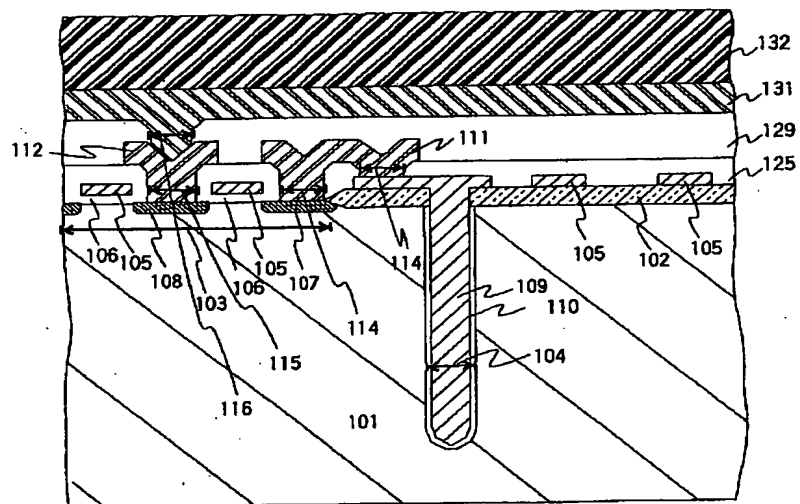
【図 8】



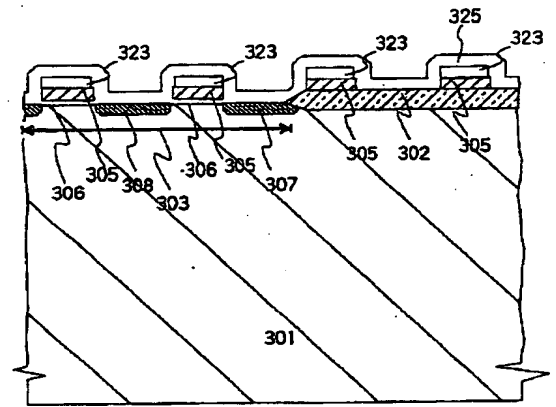
【图 9】



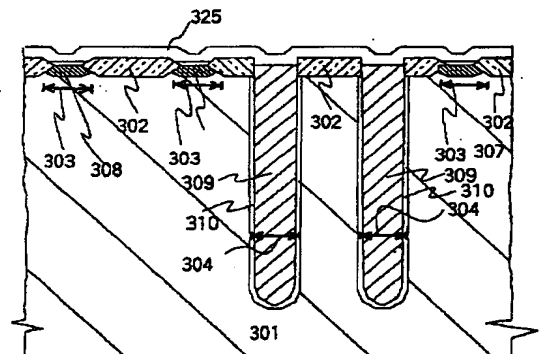
【図 10】



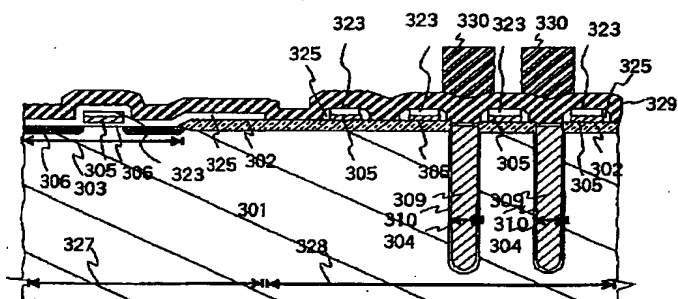
【図 25】



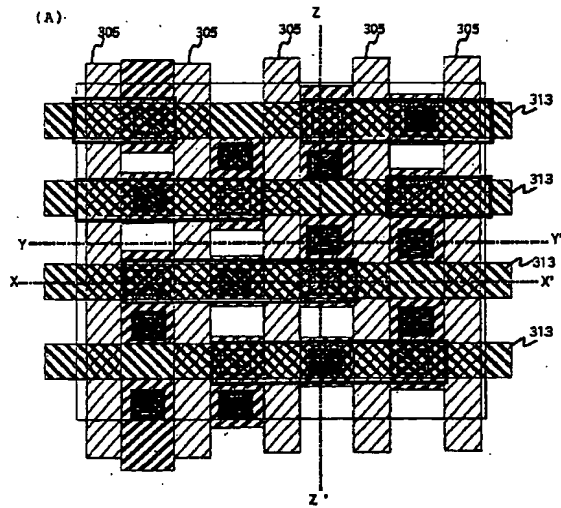
【图 27】



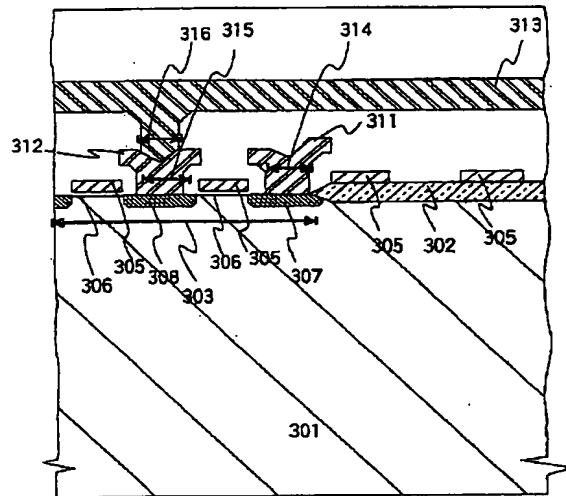
【図 3 2】



【図 15】

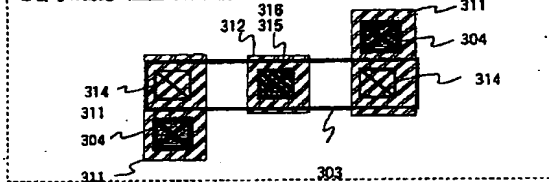


【図 16】

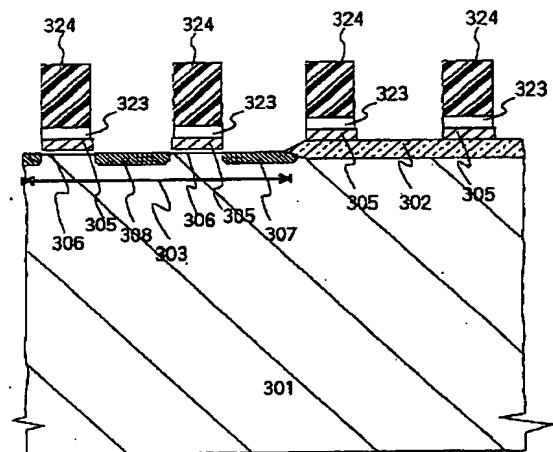


(B)

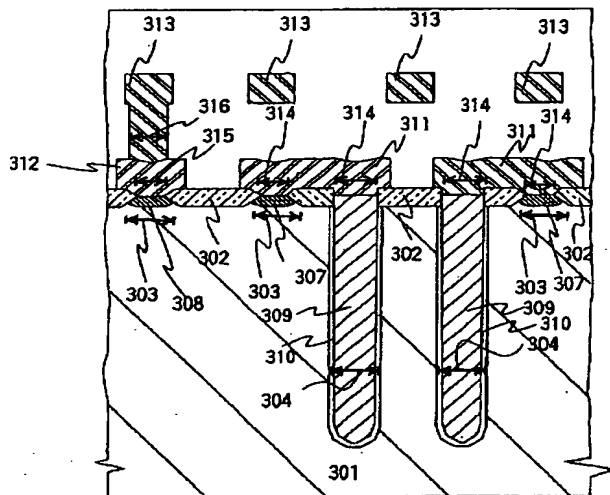
ゲート電極 305 (ワード線)、ビット線 313 以外のパターン
と番号の対応 (上図では、混むため)



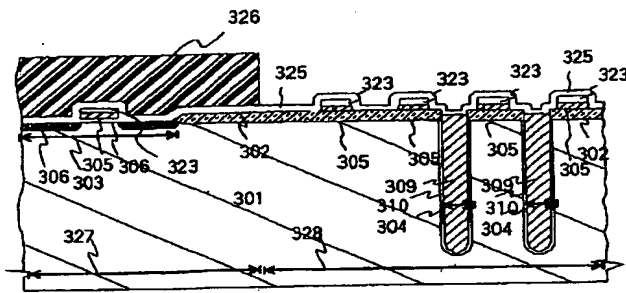
【図 22】



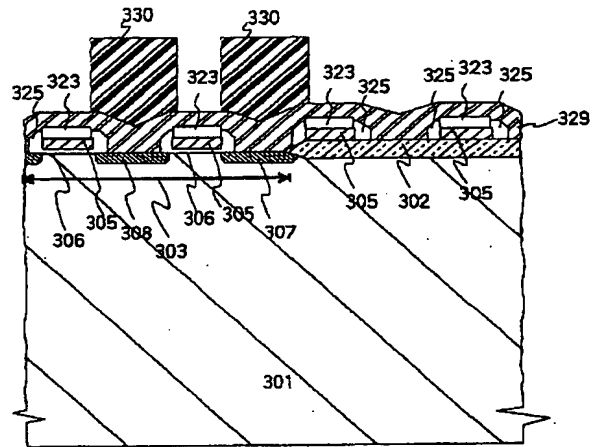
【図 18】



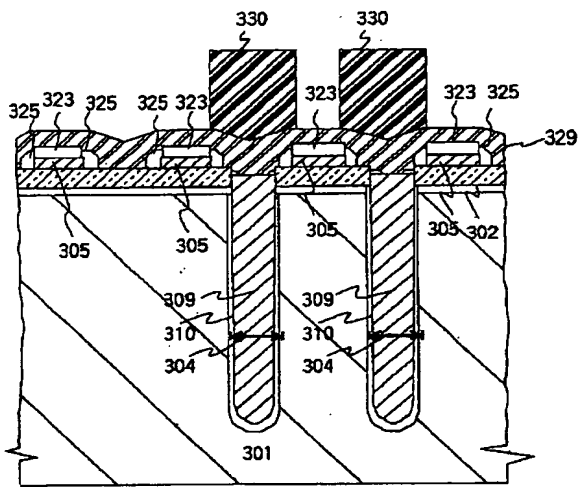
【図 2 8】



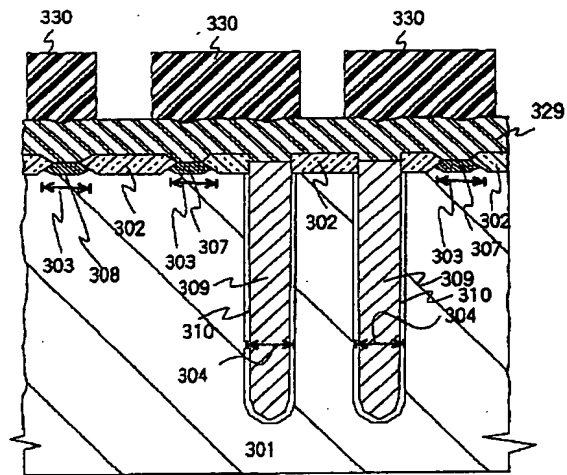
【図 2 9】



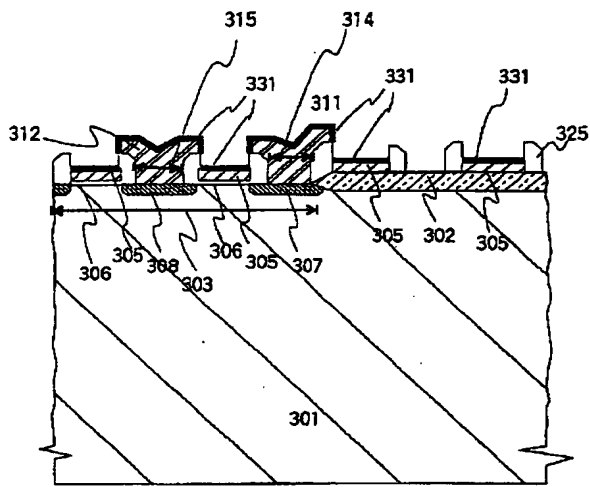
【図 3 0】



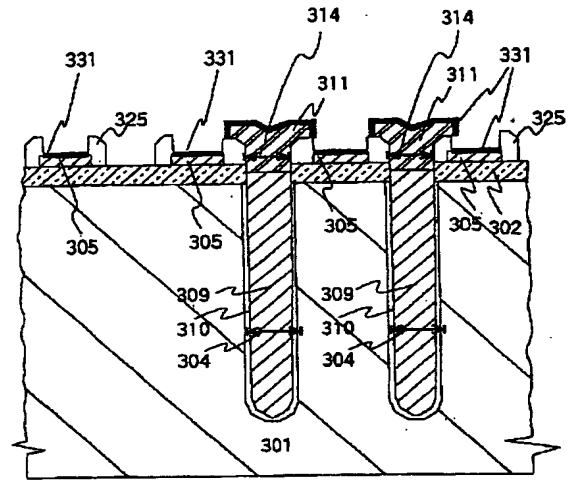
【図 3 1】



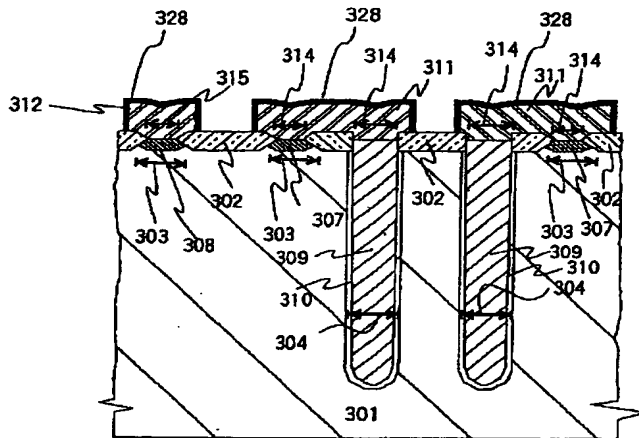
【図33】



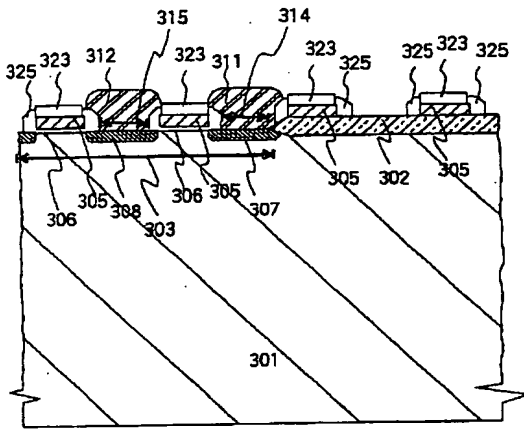
【図34】



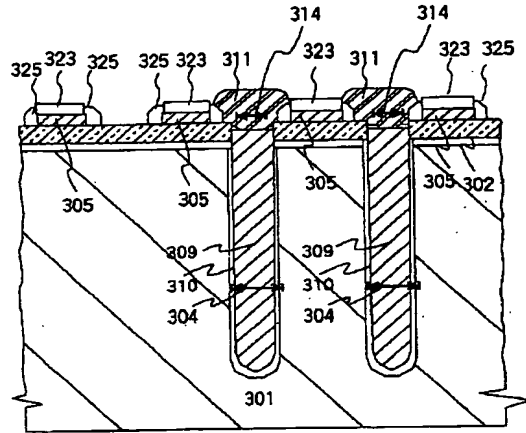
【図35】



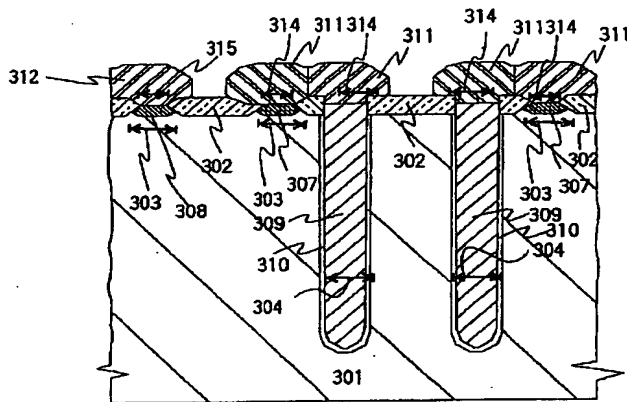
【図 3 7】



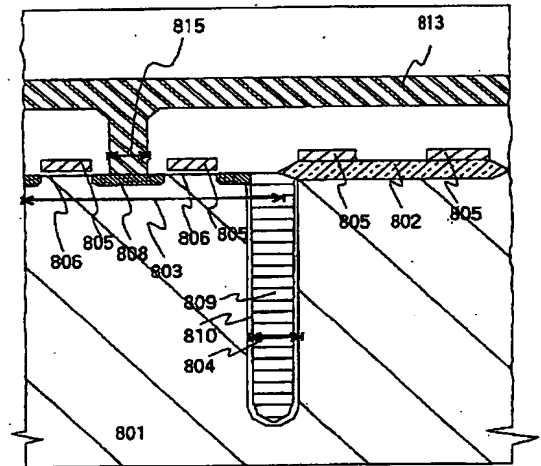
【図 3 8】



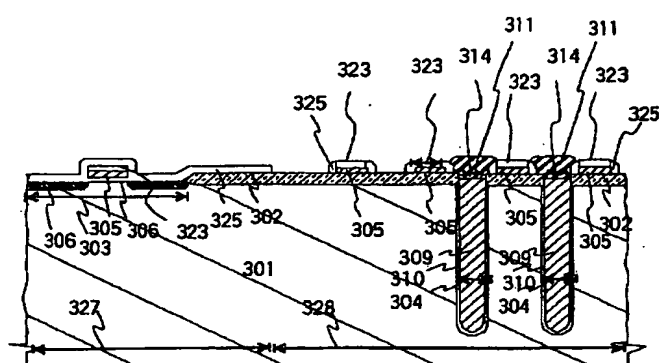
【図 3 9】



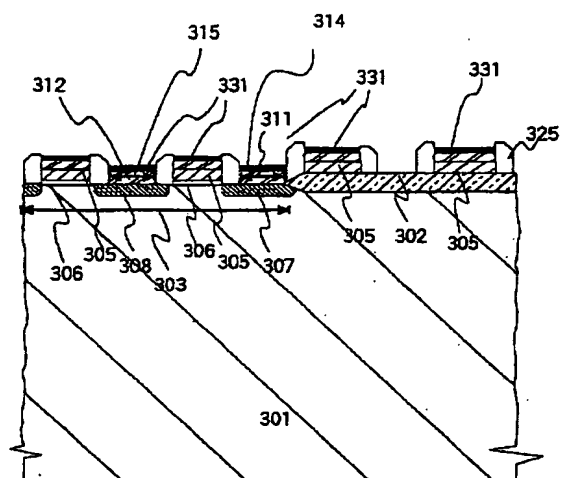
【図 5 1】



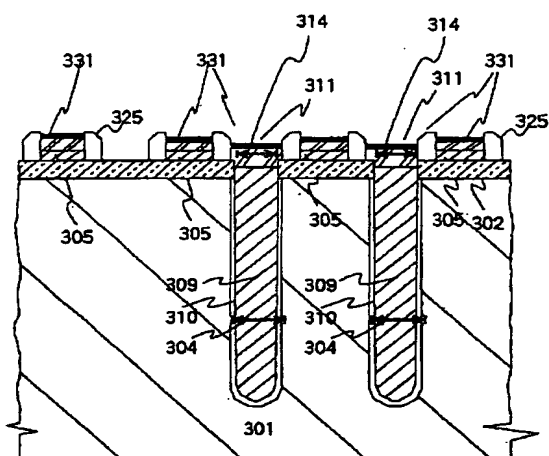
【図 40】



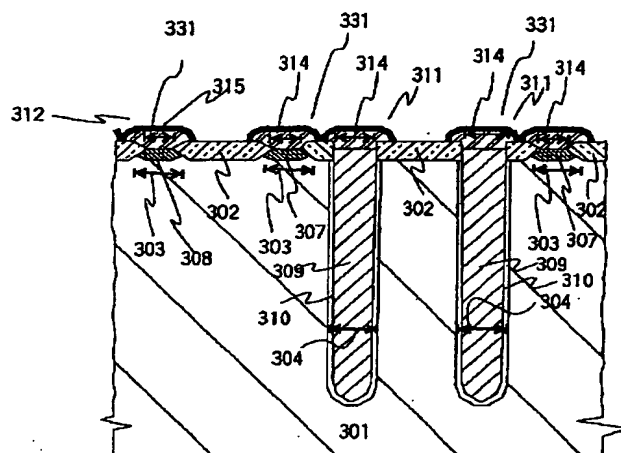
【図 4 1】



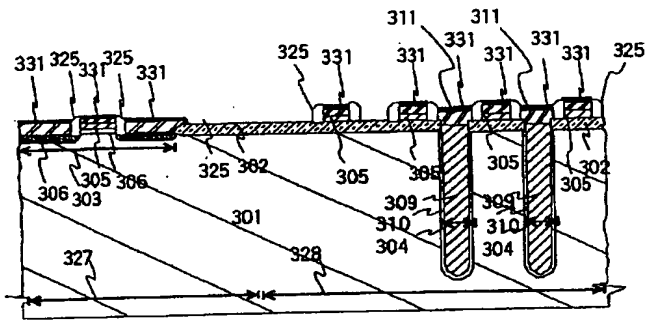
【図 4 2】



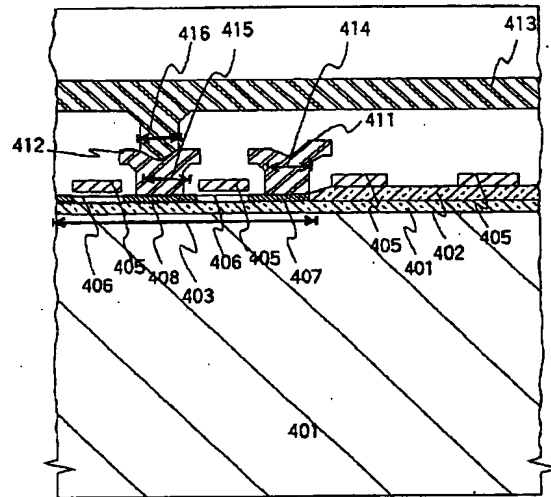
【图 4 3】



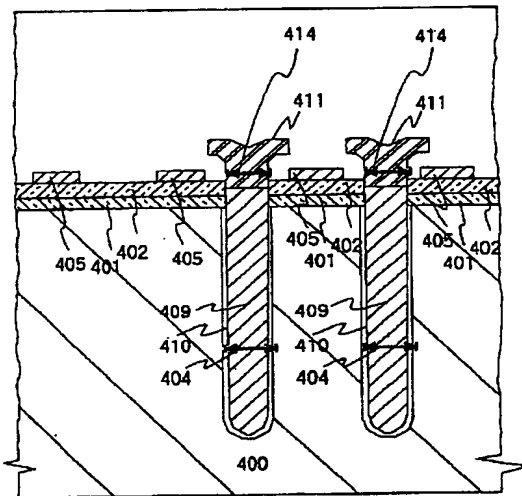
【図 4 4】



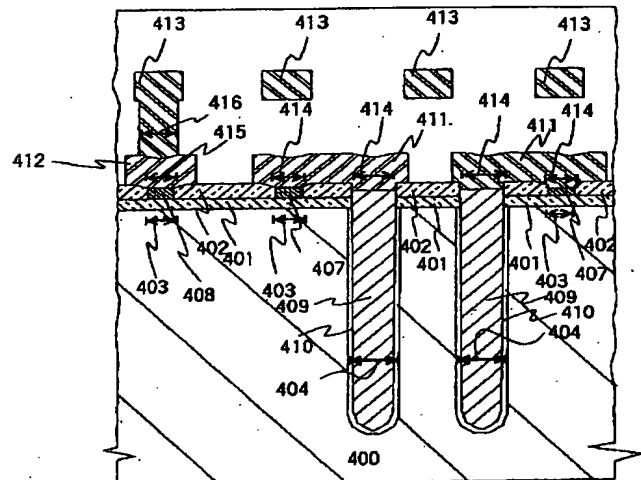
【図 4 5】



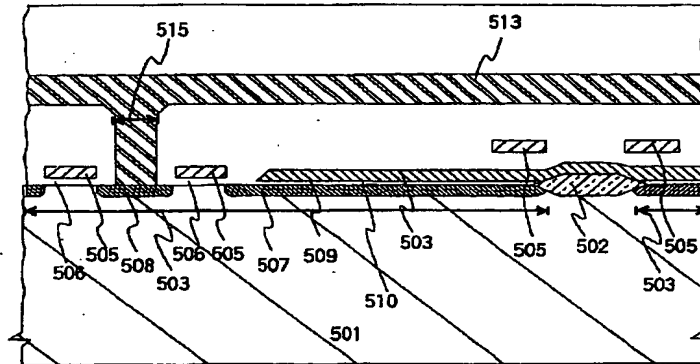
【図 4 6】



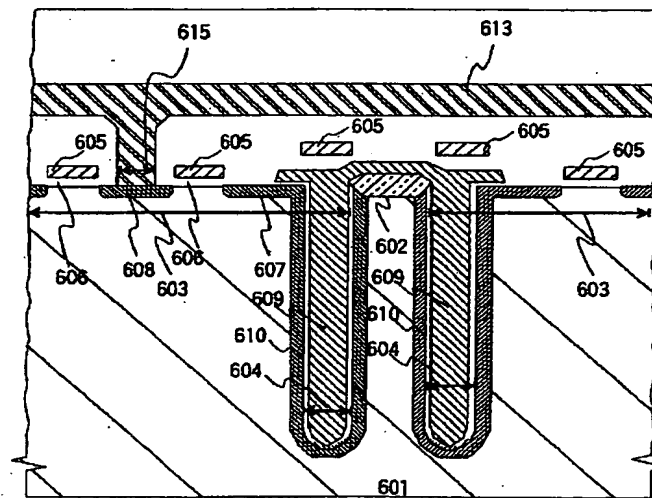
【図 4 7】



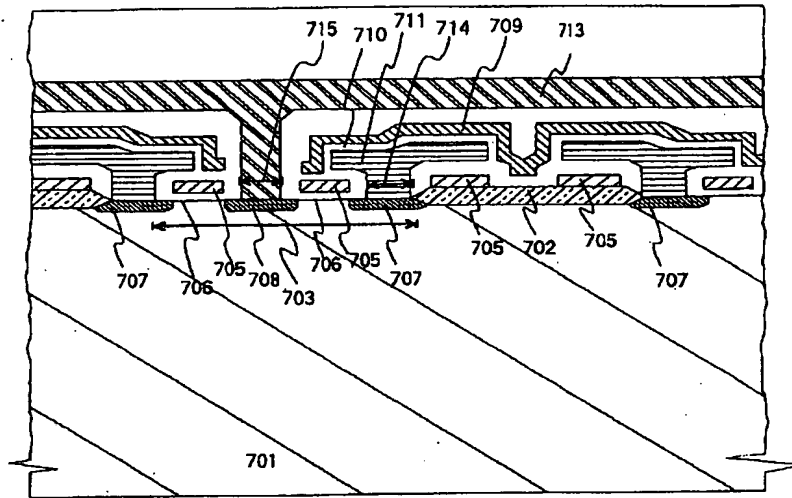
【図 4 8】



【図 4 9】



【図50】



【図52】

